

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-093913

(43)Date of publication of application : 04.04.1997

(51)Int.Cl. H02M 3/155
H02M 1/12
H03H 7/09

(21)Application number : 07-242778

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP
HITACHI TOBU SEMICONDUCTOR LTD

(22)Date of filing : 21.09.1995

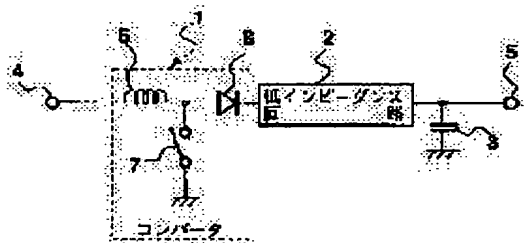
(72)Inventor : OSAWA KENJI
SUZUKI SHIGERU
IWASAKI HIRONORI

(54) DC/DC C ONVERTER CIRCUIT AND INFORMATION PROCESSING APPARATUS UTILIZIN G TH SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce harmonic noises of the AC element appearing at the output of a converter circuit to prevent malfunction of the circuits connected thereto, adjacent circuits, peripheral apparatus, module, card, etc.

SOLUTION: A chopper DC/DC converter circuit for raising an input voltage to provide the predetermined output voltage is composed of a converter 1 for raising an input DC voltage, a low impedance circuit 2 for removing an AC element of the output voltage output from this converter 1 and a noise removing capacitor 3 for flowing the AC element of the output voltage output from this low impedance circuit 2 into the ground potential. Harmonic noises of the AC element included in the output voltage from the converter 1 is caused to flow into the ground potential from the noise removing capacitor 3 via a noise transmitting capacitor of the low impedance circuit 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-93913

(43) 公開日 平成9年(1997)4月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/155			H 0 2 M 3/155	H F
	1/12		1/12	
H 0 3 H 7/09			H 0 3 H 7/09	A

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平7-242778

(22) 出願日 平成7年(1995)9月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(71) 出願人 000233527

日立東部セミコンダクタ株式会社

埼玉県入間郡毛呂山町大字旭台15番地

(74) 代理人 弁理士 筒井 大和

最終頁に続く

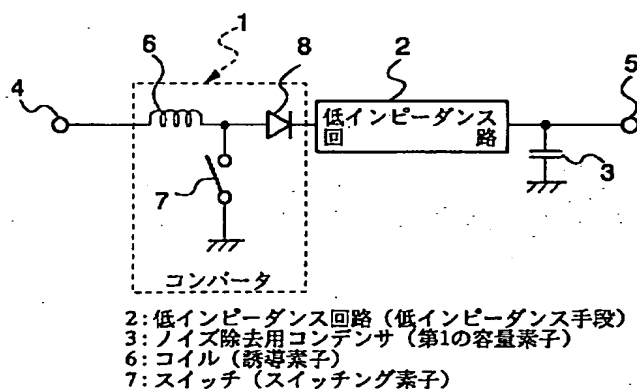
(54) 【発明の名称】 DC/DCコンバータ回路およびこれを用いた情報処理装置

(57) 【要約】

【課題】 コンバータ回路の出力に現れる交流成分による高調波ノイズが減少でき、これに接続される回路や隣接した回路、周辺装置、モジュール、カードなどの誤動作が防止できるDC/DCコンバータ回路技術を提供する。

【解決手段】 入力電圧を昇圧して所定値の出力電圧を出力するチョッパ型DC/DCコンバータ回路であって、入力される直流電圧を昇圧するコンバータ1と、このコンバータ1から出力される出力電圧の交流成分を除去するための低インピーダンス回路2と、この低インピーダンス回路2から出力される出力電圧の交流成分を接地電位に流すためのノイズ除去用コンデンサ3とから構成され、コンバータ1からの出力電圧に含まれる交流成分による高調波ノイズが低インピーダンス回路2のノイズ伝達用コンデンサを介してノイズ除去用コンデンサ3から接地電位に流されるようになっている。

図 1



【特許請求の範囲】

【請求項1】 入力電圧をコンバータを通じて所定値の電圧に昇圧または降圧し、この昇圧または降圧された所定値の電圧を出力電圧として出力するDC/DCコンバータ回路であって、前記コンバータと前記出力電圧の出力端子との間に接続される前記出力電圧の交流成分を除去するための低インピーダンス手段と、この低インピーダンス手段と接地電位との間に接続される前記交流成分を前記接地電位に流すための第1の容量素子とを有することを特徴とするDC/DCコンバータ回路。

【請求項2】 請求項1記載のDC/DCコンバータ回路であって、前記低インピーダンス手段はスイッチング素子と第2の容量素子とが並列接続されて構成され、このスイッチング素子は前記コンバータのスイッチング動作に同期させて制御されることを特徴とするDC/DCコンバータ回路。

【請求項3】 請求項2記載のDC/DCコンバータ回路であって、前記コンバータの出力に交流成分が発生している期間は前記スイッチング素子がOFFとされ、この交流成分のみが前記第2の容量素子を介して前記第1の容量素子から接地電位に流し込まれ、また前記コンバータの出力に交流成分が発生していない期間は前記スイッチング素子がONとされ、この交流成分のない直流成分のみが前記スイッチング素子を介して前記出力端子に出力されることを特徴とするDC/DCコンバータ回路。

【請求項4】 請求項1、2または3記載のDC/DCコンバータ回路であって、前記DC/DCコンバータ回路が基板上に形成される場合に、前記低インピーダンス手段の配線パターンが、前記基板の同一層または異なる層に形成される接地電位パターンで挟み込まれるように形成されることを特徴とするDC/DCコンバータ回路。

【請求項5】 請求項1、2、3または4記載のDC/DCコンバータ回路であって、前記コンバータは、誘導素子とスイッチング素子によるチョッパ型、または容量素子とスイッチング素子によるチャージポンプ型とされることを特徴とするDC/DCコンバータ回路。

【請求項6】 請求項1、2、3、4または5記載のDC/DCコンバータ回路を用いた情報処理装置であって、前記DC/DCコンバータ回路およびこの周辺装置で構成されるモジュール、メモリカードまたはI/Oカードなどを有することを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DC/DCコンバータ回路技術に関し、特にこのDC/DCコンバータ回路を用いたモジュール、メモリカード、I/Oカードなどを有する情報処理装置において、交流成分による高調波ノイズの低減による誤動作の防止に好適なDC/DC

コンバータ回路およびこれを用いた情報処理装置に適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、発明者が検討した技術として、チョッパ型のDC/DCコンバータ回路においては、コンバータがコイルとスイッチにより構成され、このコイルに誘導される電圧がスイッチによるスイッチング動作によって制御され、このコンバータを通じて入力電圧を所定値の電圧に昇圧し、この昇圧された所定値の電圧を出力電圧として出力する回路などが考えられる。

【0003】 なお、このようなDC/DCコンバータ回路に関する技術としては、たとえば平成5年7月10日、株式会社オーム社発行の「電子工学ポケットブック-第3版-」P7-82～P7-90などの文献に記載されている。

【0004】

【発明が解決しようとする課題】 ところが、前記のようなDC/DCコンバータ回路技術においては、この回路の構造上、出力には高調波ノイズが多少なりとも発生してしまい、このノイズが原因となり、このDC/DCコンバータ回路に接続される回路や、隣接した回路の誤動作を引き起こす要因と考えられている。特に、高密度実装を行うモジュールやカードなどでは、そのノイズの影響を抑えることが望まれている。

【0005】 そこで、本発明の目的は、コンバータ回路の出力に現れる交流成分による高調波ノイズが減少でき、このコンバータ回路に接続される回路や隣接した回路、周辺装置、モジュール、カードなどの誤動作を防止することができるDC/DCコンバータ回路およびこれを用いた情報処理装置を提供することにある。

【0006】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0008】 すなわち、本発明のDC/DCコンバータ回路は、入力電圧を昇圧または降圧して所定値の出力電圧を出力するコンバータ回路に適用されるものであり、前記コンバータと出力電圧の出力端子との間に出力電圧の交流成分を除去するための低インピーダンス手段を接続し、かつこの低インピーダンス手段と接地電位との間に交流成分を接地電位に流すための第1の容量素子を接続するものである。

【0009】 これにより、コンバータからの出力電圧に含まれる高調波ノイズの要因となる交流成分を、低インピーダンス手段および第1の容量素子を介して接地電位に流すことができる。

【0010】 具体的には、前記低インピーダンス手段を

スイッチング素子と第2の容量素子とを並列接続して構成し、このスイッチング素子をコンバータのスイッチング動作に同期させて制御するようにし、前記コンバータの出力に交流成分が発生している期間はスイッチング素子をOFFとし、また交流成分が発生していない期間はスイッチング素子をONとするようにしたものである。

【0011】これにより、スイッチング素子がOFFのときには、このスイッチング素子に並列接続される第2の容量素子を介して交流成分のみを第1の容量素子から接地電位に流すことができ、またスイッチング素子がONのときには、このスイッチング素子を介して交流成分のない直流成分のみを出力端子に出力することができる。

【0012】さらに、前記DC/DCコンバータ回路を基板上に形成する場合には、低インピーダンス手段の配線パターンを、基板の同一層または異なる層に形成される接地電位パターンで挟み込むように形成するようにしたものである。

【0013】これにより、低インピーダンス手段のインピーダンスを下げることができ、よって高調波ノイズのない出力電圧を得ることができ、さらにノイズに対しても強い回路構成とすることができる。

【0014】特に、前記コンバータを、誘導素子とスイッチング素子によるチョッパ型、または容量素子とスイッチング素子によるチャージポンプ型に適用するようにしたものである。

【0015】また、本発明の情報処理装置は、前記DC/DCコンバータ回路を用い、このDC/DCコンバータ回路およびこの周辺装置で構成されるモジュール、メモリカードまたはI/Oカードなどを有するものである。

【0016】以上により、入力電圧を昇圧または降圧して所定値の出力電圧を出力するDC/DCコンバータ回路において、出力電圧に含まれる交流成分のみを効率良く除去して高調波ノイズのない出力電圧を得ることができる。特に、チョッパ型またはチャージポンプ型のコンバータに適用することができ、さらにこのDC/DCコンバータ回路を用いたモジュール、メモリカードまたはI/Oカードなどによる情報処理装置の動作信頼性を向上させることができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0018】（実施の形態1）図1は本発明の実施の形態1であるDC/DCコンバータ回路を示す構成図、図2は本実施の形態1のDC/DCコンバータ回路における低インピーダンス回路を示す回路図、図3は本実施の形態1において、交流成分による高調波ノイズの除去を説明するための波形図、図4はDC/DCコンバータ回路を基板上に形成する場合を示す概略説明図である。

【0019】まず、図1により本実施の形態1のDC/DCコンバータ回路の構成を説明する。

【0020】本実施の形態1のDC/DCコンバータ回路は、たとえば入力電圧を昇圧して所定値の出力電圧を出力するチョッパ型のDC/DCコンバータ回路とされ、入力される直流電圧を昇圧するコンバータ1と、このコンバータ1から出力される出力電圧の交流成分を除去するための低インピーダンス回路2（低インピーダンス手段）と、この低インピーダンス回路2から出力される出力電圧の交流成分を接地電位に流すためのノイズ除去用コンデンサ3（第1の容量素子）とから構成されている。

【0021】そして、このDC/DCコンバータ回路においては、入力端子4から入力される直流電圧がコンバータ1により昇圧され、さらにこの昇圧された電圧は低インピーダンス回路2およびノイズ除去用コンデンサ3を介して交流成分のない直流電圧として出力端子5から出力されるようになっている。

【0022】コンバータ1は、たとえば誘導素子とスイッチング素子によって直流電圧を昇圧して出力するチョッパ型とされ、コイル6（誘導素子）、スイッチ7（スイッチング素子）およびダイオード8から構成されている。このコイル6は、一端が入力端子4に接続され、他端がダイオード8のアノード側に接続されるとともにスイッチ7の一端に接続され、このスイッチ7の他端は接地電位に接続され、またダイオード8のカソード側は低インピーダンス回路2に接続されている。

【0023】低インピーダンス回路2は、たとえば図2に示すように、スイッチ9（スイッチング素子）とノイズ伝達用コンデンサ10（第2の容量素子）とが並列接続されて構成されている。このスイッチ9は、コンバータ1を構成するスイッチ7のスイッチング動作に同期して制御され、コンバータ1の出力に交流成分が発生している期間はスイッチ9がOFFとされ、また交流成分が発生していない期間はONとなるように制御されている。

【0024】ノイズ除去用コンデンサ3では、コンバータ1の出力に交流成分が発生している場合に、低インピーダンス回路2のノイズ伝達用コンデンサ10を介して送られてくる交流成分が接地電位に流されるようになっている。

【0025】なお、本実施の形態1のDC/DCコンバータ回路においては、コンバータ1を構成するスイッチ7と、低インピーダンス回路2を構成するスイッチ9とは、周知のクロック信号に基づいて動作する周期制御回路を用いてスイッチング動作が同期して制御されるようになっている。

【0026】次に、本実施の形態1の作用について、このDC/DCコンバータ回路の動作を説明する。

【0027】まず、コンバータ1において、入力端子4

から入力された直流電圧をコイル6に誘導し、この誘導された電圧をスイッチ7のON/OFFによるスイッチング動作によりダイオード8を介して出力する。たとえば、5Vの直流電圧が入力された場合に、たとえば12Vにコンバータ1を通じて昇圧し、この12Vの直流電圧を出力端子5から出力することができる。

【0028】この場合に、コンバータ1からの出力電圧には、たとえば図3(a)に示すように繰り返し周期Tの立ち上がりで交流成分による高調波ノイズが多少なりとも発生する場合があり、このノイズがDC/DCコンバータ回路に接続される回路や、隣接した回路の誤動作の発生要因となっている。ところが、本実施の形態1においては、出力経路への低インピーダンス回路2とノイズ除去用コンデンサ3の接続によって以下のように改善されている。

【0029】すなわち、コンバータ1からの出力電圧に交流成分による高調波ノイズが発生している場合には、このノイズが発生している期間は低インピーダンス回路2のスイッチ9をOFFにし、交流成分のみをノイズ伝達用コンデンサ10に伝える。さらに、ノイズ除去用コンデンサ3から接地電位に流すことにより、図3(b)のように交流成分が除去されたノイズのない直流成分のみの直流電圧を出力することができる。

【0030】また、コンバータ1からの出力電圧に高調波ノイズが発生していない期間は、低インピーダンス回路2のスイッチ9をONにし、ノイズのない直流成分のみを低インピーダンス回路2から出力することにより、ノイズのない直流成分のみの直流電圧を出力端子5から出力することができる。

【0031】なお、この場合にスイッチ9のONにはある遅延を伴うが、これに対してノイズ伝達用コンデンサ10を付加することで、コンバータ1の発生する交流成分は遅延なしに、交流的に低インピーダンス回路2のノイズ伝達用コンデンサ10からノイズ除去用コンデンサ3への経路を通過して接地電位へ流れ込む。このため、高調波ノイズを削減する効果がある。

【0032】さらに、本実施の形態1においては、このDC/DCコンバータ回路を基板上に形成する場合に、図4(a)に示すように低インピーダンス回路2の配線パターン11を基板の同一層に形成される接地電位パターン12で挟み込むようにしたり、または図4(b)のように上層と下層の異なる層に形成される接地電位パターン12で挟み込むように形成することにより、より一層、高調波ノイズの低減効果が期待でき、さらにノイズに対しても強い回路構成とすることができる。

【0033】従って、本実施の形態1のDC/DCコンバータ回路によれば、コンバータ1と出力端子5との間の出力経路に、スイッチ9およびノイズ伝達用コンデンサ10による低インピーダンス回路2とノイズ除去用コンデンサ3を接続することにより、コンバータ1からの

出力電圧に含まれる交流成分による高調波ノイズを低インピーダンス回路2のノイズ伝達用コンデンサ10を介してノイズ除去用コンデンサ3から接地電位に流すことができるので、交流成分のみを効率良く除去してノイズのない出力電圧を得ることができる。

【0034】(実施の形態2) 図5は本発明の実施の形態2であるDC/DCコンバータ回路を示す構成図である。

【0035】本実施の形態2のDC/DCコンバータ回路は、前記実施の形態1と同様に、入力される直流電圧を昇圧するコンバータ1aと、このコンバータ1aから出力される出力電圧の交流成分を除去するための低インピーダンス回路2(低インピーダンス手段)と、この低インピーダンス回路2から出力される出力電圧の交流成分を接地電位に流すためのノイズ除去用コンデンサ3

(第1の容量素子)とから構成されるDC/DCコンバータ回路とされ、前記実施の形態1との相違点はコンバータ1aをチャージポンプ型とする点である。

【0036】すなわち、本実施の形態2においては、コンバータ1aが図5に示すように、コンデンサ13(容量素子)、2組のスイッチ14、15(スイッチング素子)およびダイオード16から構成されている。このコンデンサ13は、一端が直列接続されたスイッチ14、15の接続点に接続され、他端が接地電位に接続され、また直列接続されたスイッチ14、15の一方は入力端子4に接続され、他方はダイオード16のアノード側に接続され、さらにダイオード16のカソード側は低インピーダンス回路2に接続されている。

【0037】そして、入力端子4から入力された直流電圧をスイッチ14、15のON/OFFによるスイッチング動作によりコンデンサ13に充電し、この充電された電圧をダイオード16を介して出力することができ、たとえば5Vの直流電圧をコンバータ1aを通じて12Vに昇圧し、この12Vの直流電圧を出力端子5から出力することができる。

【0038】この場合に、コンバータ1aからの出力電圧に交流成分による高調波ノイズが発生している場合には、前記実施の形態1と同様に、このノイズが発生している期間は低インピーダンス回路2のスイッチ9をOFFにし、交流成分のみをノイズ伝達用コンデンサ10に伝達し、さらにノイズ除去用コンデンサ3から接地電位に流すことにより、交流成分が除去されたノイズのない直流成分のみの直流電圧を出力することができる。

【0039】従って、本実施の形態2のDC/DCコンバータ回路によれば、コンバータ1aをコンデンサ13およびスイッチ14、15などによるチャージポンプ型とする場合でも、前記実施の形態1と同様にしてコンバータ1aからの出力電圧に含まれる交流成分による高調波ノイズを低インピーダンス回路2のノイズ伝達用コンデンサ10を介してノイズ除去用コンデンサ3から接地

電位に流すことができるので、交流成分のみを効率良く除去してノイズのない出力電圧を得ることができる。

【0040】（実施の形態3）図6は本発明の実施の形態3であるDC/DCコンバータ回路を用いたメモリカードを示す構成図、図7は本実施の形態3において、メモリカードを用いた情報処理装置の一例としてのコンピュータシステムを示す構成図、図8はコンピュータシステムを示す概略説明図である。

【0041】本実施の形態3においては、前記実施の形態1または2で説明したDC/DCコンバータ回路を用いたメモリカードに適用されるものであり、たとえば図6に示すように、DC/DCコンバータ回路17の他に、フラッシュEEPROMなどの複数のメモリ18と、読み出し、書き込みおよび消去動作などの制御を行うコントローラ19と、外部との入出力を行うインタフェース20とから構成されている。

【0042】このメモリカードにおいては、入力された直流電圧をDC/DCコンバータ回路17を通じて昇圧し、この昇圧電圧をメモリ18にデータを書き込む場合、さらにデータを消去する場合の書き換え電圧 V_{pp} として用いており、たとえばこの書き込みおよび消去時の書き換え電圧 V_{pp} は12Vとされ、たとえば5Vの電圧がDC/DCコンバータ回路17により高調波ノイズのない12Vに昇圧されている。

【0043】このメモリカードは、たとえば図7に示すようにコンピュータシステムなどの記憶媒体として用いられ、このコンピュータシステムは図7のように、情報機器としての中央処理装置CPU、情報処理システム内に構築したI/Oバス、Bus Unit、主記憶メモリや拡張メモリなどの高速メモリをアクセスするメモリ制御ユニットMemory Control Unit、主記憶メモリとしてのDRAM、基本制御プログラムが格納されたROM、先端にキーボードが接続されたキーボードコントローラKBDCなどによって構成される。さらに、表示アダプタとしてのDisplay AdapterがI/Oバスに接続され、前記Display Adapterの先端にはディスプレイDisplayが接続されている。

【0044】そして、前記I/OバスにはパラレルポートParallel Port I/F、マウスなどのシリアルポートSerial Port I/F、フロッピーディスクドライブFDD、前記I/OバスよりのHDD I/Fに変換するバッファコントローラHDD Bufferが接続される。また、前記メモリ制御ユニットMemory Control Unitからのバスと接続されて拡張RAMおよび主記憶メモリとしてのDRAMが接続されている。

【0045】ここで、このコンピュータシステムの動作について説明する。電源が投入されて動作を開始すると、まず前記中央処理装置CPUは、前記ROMを前記

I/Oバスを通してアクセスし、初期診断、初期設定を行う。そして、補助記憶装置からシステムプログラムを主記憶メモリとしてのDRAMにロードする。また、前記中央処理装置CPUは、前記I/Oバスを通してHDDコントローラにHDDをアクセスするものとして動作する。

【0046】そして、システムプログラムのロードが終了すると、ユーザの処理要求に従い、処理を進めていく。なお、ユーザは前記I/Oバス上のキーボードコントローラKBDCや表示アダプタDisplay Adapterにより処理の入出力を行いながら作業を進める。そして、必要に応じてパラレルポートParallel Port I/F、シリアルポートSerial Port I/Fに接続された入出力装置を活用する。

【0047】また、本体上の主記憶メモリとしてのDRAMでは主記憶容量が不足する場合は、拡張RAMにより主記憶を補う。ユーザがファイルを読み書きしたい場合には、ユーザは前記HDDが補助記憶装置であるものとして補助記憶装置へのアクセスを要求する。そして、本発明のメモリカードによって構成されたフラッシュファイルFileは、それを受けてファイルデータのアクセスを行う。

【0048】以上のようにして、本実施の形態3のメモリカードは、コンピュータシステムのフラッシュファイルFileなどとして広く適用可能であり、さらにこのコンピュータシステムとしては、たとえば図8に示すようなノートタイプ、デスクトップタイプ、ペンポータブルタイプなどとして使用することができる。

【0049】すなわち、図8(a)のコンピュータシステムにおいては、ICカードスロットMSLOTを備え、本実施の形態3のメモリカードによって構成されるフラッシュファイルFileを内蔵したシステムである。そして、その入出力装置をキーボードKBおよびディスプレイDPとしたノートタイプパーソナルコンピュータである。

【0050】また、図8(b)は、フロッピーディスクドライブFDDおよび本実施の形態3のメモリカードによって構成されたフラッシュファイルFileを内蔵したシステムである。そして、入出力装置をキーボードKBおよびディスプレイDPとし、フロッピーディスクFDが前記フロッピーディスクドライブFDDに挿入される。これによって、ソフトウェアとしての前記フロッピーディスクFDおよびハードウェアとしての前記フラッシュファイルFileに情報を記憶できるデスクトップタイプパーソナルコンピュータとなる。

【0051】さらに、図8(c)は、本実施の形態3のメモリカードとしてのフラッシュファイルカードFile CARDを挿入し、入出力装置を入力専用ペンPENおよびディスプレイDPとしたペンポータブルタイ

ブパーソナルコンピュータである。このように、本実施の形態3のメモリカードをコンピュータシステムに用いることにより、前記のような携帯用のコンピュータシステムに応用することができる。

【0052】従って、本実施の形態3のDC/DCコンバータ回路を用いたメモリカード、さらにこのメモリカードを用いたコンピュータシステムなどの情報処理装置によれば、DC/DCコンバータ回路17からのノイズのない出力電圧を利用することにより、メモリカードのように基板上に高密度実装されるような場合でも、低ノイズのDC/DCコンバータ回路17を搭載したメモリカード、さらにはコンピュータシステムの誤動作を防止することができる。

【0053】以上、本発明者によってなされた発明を発明の実施の形態1～3に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0054】たとえば、前記実施の形態のDC/DCコンバータ回路については、入力電圧を昇圧して所定値の出力電圧を出力するコンバータ回路である場合について説明したが、本発明は前記実施の形態に限定されるものではなく、5Vなどの入力電圧を降圧して3.3Vの出力電圧を出力する場合などのように、降圧電圧を得るコンバータ回路についても適用可能である。

【0055】また、5Vを12Vに昇圧する場合の他に、たとえば5Vから18V、21Vに昇圧した電圧を得る場合、逆の10Vを5Vに降圧した電圧を得る場合など、これらの電圧としては種々の変形が可能であることはいうまでもない。

【0056】さらに、前記実施の形態のDC/DCコンバータ回路は、メモリカード、コンピュータシステムに用いられる場合に限らず、DC/DCコンバータ回路およびこの周辺装置で構成されるモジュール、I/Oカード、さらにこれらを用いた情報処理装置について広く適用でき、特に高密度実装される装置、システムなどに良好に適用可能である。

【0057】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0058】(1). コンバータと出力電圧の出力端子との間に低インピーダンス手段を接続し、かつこの低インピーダンス手段と接地電位との間に第1の容量素子を接続して、コンバータからの出力電圧に含まれる交流成分を低インピーダンス手段および第1の容量素子を介して接地電位に流すことができるので、自己の発生するノイズを低減することが可能となる。

【0059】(2). 低インピーダンス手段を構成するスイッチング素子をコンバータのスイッチング動作に同期さ

せて制御し、コンバータの出力に交流成分が発生している期間のみスイッチング素子をOFFにして、このスイッチング素子に並列接続される第2の容量素子を介して交流成分のみを第1の容量素子から接地電位に流すことができ、また交流成分が発生していない期間はスイッチング素子をONにして交流成分のない直流成分のみを出力端子に出力することができるので、常に高調波ノイズの低減された出力電圧を得ることが可能となる。

【0060】(3). DC/DCコンバータ回路を基板上に形成する場合に、低インピーダンス手段の配線パターンを接地電位パターンで挟み込む構造に形成して、低インピーダンス手段のインピーダンスを下げることができるので、高調波ノイズを低減できるとともに耐ノイズ性の向上が可能となる。

【0061】(4). 前記(1)～(3)により、入力電圧を昇圧または降圧して所定値の出力電圧を出力するDC/DCコンバータ回路において、交流成分のみを効率良く除去して高調波ノイズの少ない出力電圧を得ることができるとともに、他の周辺回路へのノイズの影響を少なくして誤動作を防止することが可能となる。

【0062】(5). 前記(4)により、特にチョッパ型またはチャージポンプ型のDC/DCコンバータ回路、さらにこのDC/DCコンバータ回路を用いたモジュール、メモリカードまたはI/Oカードなどによる情報処理装置において、基板上に高密度実装されるような場合でも、低ノイズのDC/DCコンバータ回路の搭載によって動作信頼性の向上が可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるDC/DCコンバータ回路を示す構成図である。

【図2】実施の形態1のDC/DCコンバータ回路における低インピーダンス回路を示す回路図である。

【図3】実施の形態1において、交流成分による高調波ノイズの除去を説明するための波形図である。

【図4】実施の形態1において、DC/DCコンバータ回路を基板上に形成する場合を示す概略説明図である。

【図5】本発明の実施の形態2であるDC/DCコンバータ回路を示す構成図である。

【図6】本発明の実施の形態3であるDC/DCコンバータ回路を用いたメモリカードを示す構成図である。

【図7】実施の形態3において、メモリカードを用いた情報処理装置の一例としてのコンピュータシステムを示す構成図である。

【図8】実施の形態3において、コンピュータシステムを示す概略説明図である。

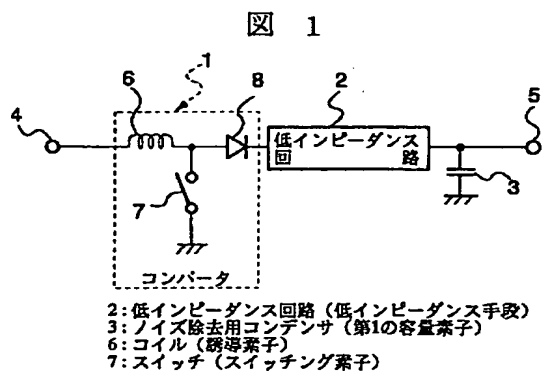
【符号の説明】

- 1, 1a コンバータ
- 2 低インピーダンス回路 (低インピーダンス手段)
- 3 ノイズ除去用コンデンサ (第1の容量素子)
- 4 入力端子

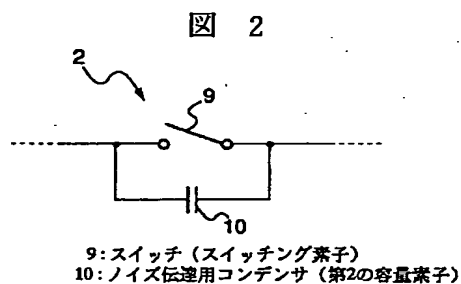
- 5 出力端子
- 6 コイル (誘導素子)
- 7 スイッチ (スイッチング素子)
- 8 ダイオード
- 9 スイッチ (スイッチング素子)
- 10 ノイズ伝達用コンデンサ (第2の容量素子)
- 11 配線パターン
- 12 接地電位パターン

- 13 コンデンサ (容量素子)
- 14, 15 スイッチ (スイッチング素子)
- 16 ダイオード
- 17 DC/DCコンバータ回路
- 18 メモリ
- 19 コントローラ
- 20 インタフェース

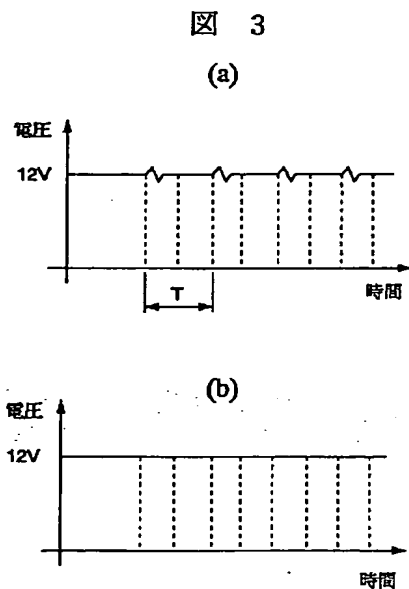
【図1】



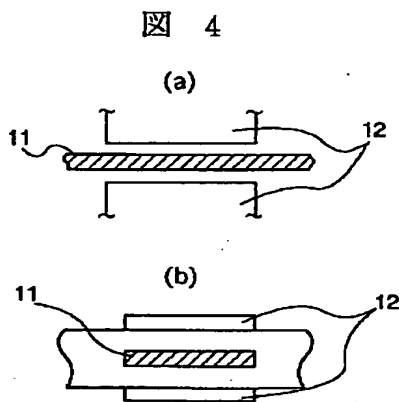
【図2】



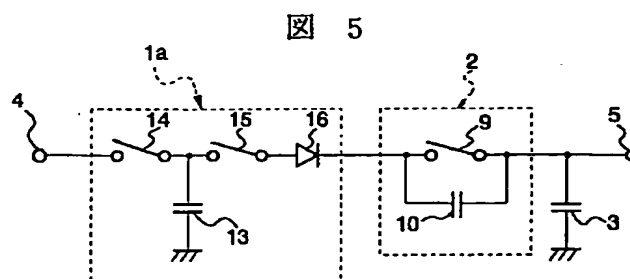
【図3】



【図4】

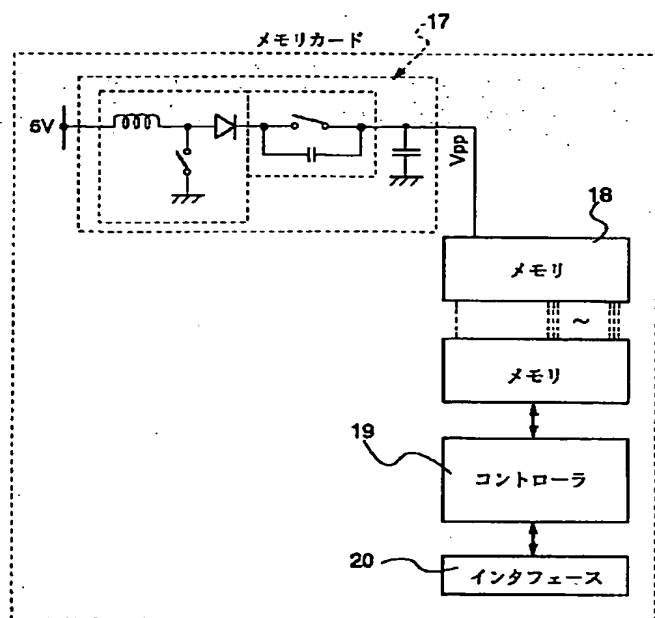


【図5】



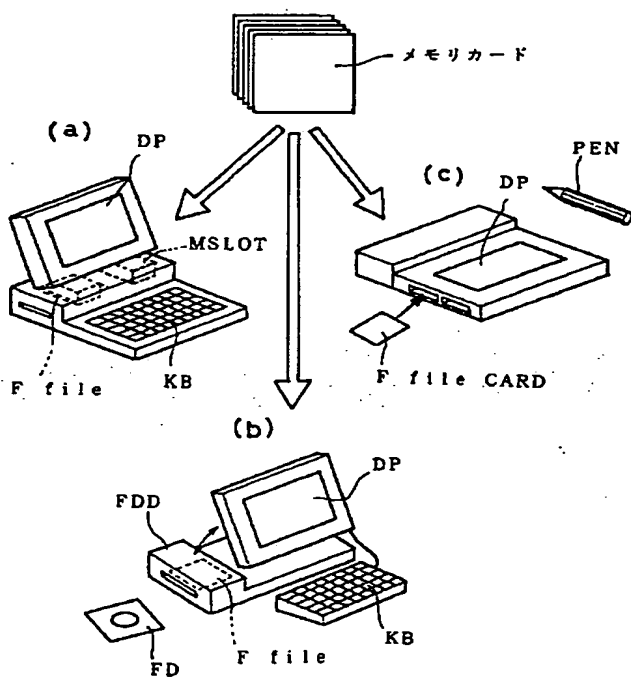
【図6】

図 6



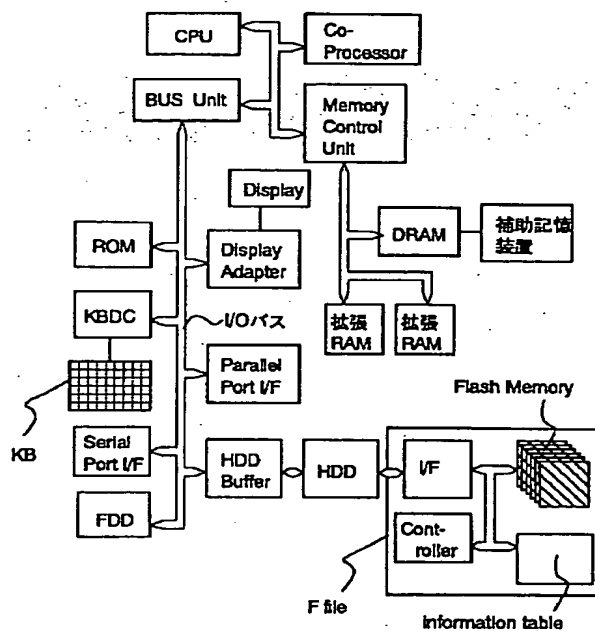
【図8】

図 8



【図7】

図 7



フロントページの続き

(72)発明者 大沢 賢治

東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 鈴木 茂

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 岩崎 浩典

埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内